

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330915

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

H03K 5/00

H03K 3/02

H03K 17/00

(21)Application number : 07-129927

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.05.1995

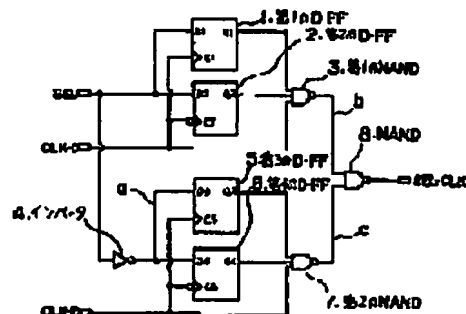
(72)Inventor : YAMAMOTO TAKAYUKI

## (54) CLOCK SIGNAL SWITCHING CIRCUIT

(57)Abstract:

**PURPOSE:** To provide a clock signal switching circuit which prevents generation of whisker (glitches) of the old clock signal when clock signals are switched.

**CONSTITUTION:** A clock signal switching circuit includes a 1st and 3rd D-FF 1 and 5 which output the data according to the level of a selection signal and synchronously with the leading edge of an input clock signal when the level of the selection signal is switched, a 2nd and 4th D-FF 2 and 6 which output the data according to the selection signal level and synchronously with the trailing edge of the clock signal, a 1st NAND 3 to which the output data on both D-FF 1 and 2 and the clock signal are inputted, and a 2nd NAND 7 to which the output data on both D-FF 5 and 6 and the clock signal are inputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330915

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 K 5/00			H 0 3 K 5/00	X
3/02			3/02	S
				J
17/00		9184-5K	17/00	F

審査請求 未請求 請求項の数2 OL (全 5 頁)

(21)出願番号 特願平7-129927

(22)出願日 平成7年(1995)5月29日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 山本 貴之

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

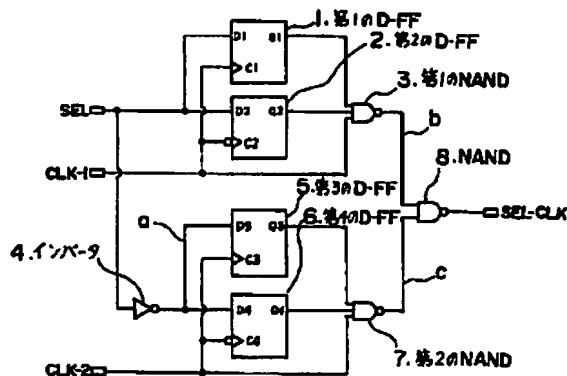
(74)代理人 弁理士 佐々木 宗治 (外3名)

(54)【発明の名称】 クロック信号切替回路

(57)【要約】

【目的】 クロック信号を切り替える際、旧クロック信号にひげ（グリッジ）が発生しないようにすることを目的とする。

【構成】 選択信号のレベルが切り替わったとき、入力クロック信号の立ち上がりエッジに同期して選択信号のレベルに応じたデータを出力する第1及び第3のD-FF 1、5と、クロック信号の立ち上がりエッジに同期して前記選択信号のレベルに応じたデータを出力する第2及び第4のD-FF 2、6と、第1及び第2のD-FF 1、2の出力データ及びクロック信号が入力される第1のNAND 3と、第3及び第4のD-FFの出力データ及びクロック信号が入力される第2のNAND 7とを有するクロック信号切替回路を備えた。



本発明に係るクロック信号切替回路の回路図

1

## 【特許請求の範囲】

【請求項 1】 選択信号のレベルが切り替わったとき、入力クロック信号の立ち上がり及び立ち下がりエッジにそれぞれ同期してその選択信号のレベルに応じた第 1 及び第 2 データをそれぞれ生成し、その第 1 及び第 2 データがハイレベルのときのみ入力クロック信号の逆相クロック信号を出力する複数のクロック出力制御回路と、入力部がそれぞれのクロック出力制御回路の出力部と接続され、逆相クロック信号のレベルを反転して出力するゲート回路とを備えたことを特徴とするクロック信号切替回路。

【請求項 2】 それぞれのクロック出力制御回路は、選択信号のレベルが切り替わったとき、入力クロック信号の立ち上がりエッジに同期してその選択信号のレベルに応じた第 1 データを出力する第 1 の D 型フリップフロップと、前記選択信号及び前記クロック信号が分岐して入力され、選択信号のレベルが切り替わったとき、クロック信号の立ち下がりエッジに同期してその選択信号のレベルに応じた第 2 データを出力する第 2 の D 型フリップフロップと、前記クロック信号が分岐して入力され、前記第 1 及び第 2 データがハイレベルのときのみ入力クロック信号の逆相クロック信号を出力する NAND ゲートとを有していることを特徴とする請求項 1 記載のクロック信号切替回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば同一周波数で冗長構成をとる非同期なクロック信号を選択信号により切り替えるクロック信号切替回路に関するものである。

## 【0002】

【従来の技術】 従来のクロック信号切替回路は例えば特開平 2-290322 号公報に開示されている。このクロック信号切替回路は、クロック信号入力部及び選択信号入力部をそれぞれ有する複数の D 型フリップフロップと、各 D 型フリップフロップに対応して設けられ、対応する D 型フリップフロップに入力するクロック信号と選択信号、及びその D 型フリップフロップの出力データがそれぞれ入力する 3 入力 NAND と、3 入力 NAND の各出力を入力とする 2 入力 NAND とから構成され、選択信号により切り替えられるクロック信号は、非同期で周波数の異なる信号である。

## 【0003】

【発明が解決しようとする課題】 前述した従来のクロック信号切替回路では、選択信号が非選択から選択に切り替わるときはそれぞれのクロック信号に同期させているのに対し、選択信号が選択から非選択に切り替わるときはそれぞれのクロック信号に同期させていないため、クロック信号が同一周波数で非同期の場合、例えば図 5 に示すようなタイミング (T0 又は T2) でクロック信号の切り替えを行ったときには、旧クロック信号にひび (グリ

2

ッジ) が発生し出力される。

【0004】 また、同公報には、複数のクロック信号に対し非同期の選択信号でクロック信号を選択するクロック信号切替回路が開示されているが、その切替回路を用いて周波数が同じで非同期なクロック信号を選択する場合、例えば、選択されていたクロック信号のレベルがロウのときに選択信号が切り替わると、そのクロック信号が非選択になったにもかかわらず 1 クロック選択されて出力されるため、新クロック信号の選択出力が遅れていた。

## 【0005】

【課題を解決するための手段】 本発明に係るクロック信号切替回路は、選択信号のレベルが切り替わったとき、入力クロック信号の立ち上がり及び立ち下がりエッジにそれぞれ同期してその選択信号のレベルに応じた第 1 及び第 2 データをそれぞれ生成し、その第 1 及び第 2 データがハイレベルのときのみ入力クロック信号の逆相クロック信号を出力する複数のクロック出力制御回路と、入力部がそれぞれのクロック出力制御回路の出力部と接続され、逆相クロック信号のレベルを反転して出力するゲート回路とを備えたものである。

## 【0006】

【作用】 本発明においては、選択信号のレベルが切り替わると、それぞれのクロック出力制御回路は、入力クロック信号の立ち上がりエッジに同期してその選択信号のレベルに応じた第 1 データを生成し、また、クロック信号の立ち下がりエッジに同期して選択信号のレベルに応じた第 2 データを生成する。そして、その第 1 及び第 2 データがハイレベルのときは入力クロック信号の逆相クロック信号をゲート回路に出力する。ゲート回路は、逆相クロック信号のレベルを反転し、選択信号により選択されたクロック信号として出力する。

## 【0007】

【実施例】 図 1 は本発明の一実施例を示す回路図、図 2 はその回路の動作を説明するためのタイミングチャートである。

【0008】 図において、1 は第 1 の D-FF で、入力部 D1 に選択信号 SEL が、クロック入力部 C1 にクロック信号 CLK1 がそれぞれ入力され、出力部 Q1 は 3 入力の第 1 の NAND 3 に接続され、入力クロック信号 CLK1 の立ち上がりエッジに同期して選択信号のレベルに応じたデータを出力する。選択信号がハイレベルの場合はそのハイレベルのデータを、また選択信号がロウレベルの場合はそのロウレベルのデータをクロック信号 CLK1 の立ち上がりエッジに同期して出力する。

【0009】 2 は第 2 の D-FF で、入力部 D2 に選択信号 SEL が、クロック入力部 C2 にクロック信号 CLK1 がそれぞれ入力され、出力部 Q2 は前述した第 1 の NAND 3 に接続され、入力クロック信号 CLK1 の立ち下がりエッジに同期して前記と同様にデータを出力する。第 1 の

3

NAND3は、前述したデータの他にクロック信号CLK1が入力され、出力側は2入力のNAND8に接続されている。

【0010】4は選択信号SELのレベルを反転するインバータ、5は第3のDFFで、入力部D3にインバータ4によりレベルの反転された選択信号aが、クロック入力部C3にクロック信号CLK2がそれぞれ入力され、出力部Q3は3入力の第2のNAND7に接続され、入力クロック信号CLK2の立ち上がりエッジに同期して選択信号のレベルに応じたデータを出力する。前述したように

選択信号がハイレベルの場合はそのハイレベルのデータを、また選択信号がロウレベルの場合はそのロウレベルのデータをクロック信号CLK2の立ち上がりエッジに同期して出力する。

【0011】6は第4のDFFで、入力部D4にインバータ4によりレベルの反転された選択信号aが、クロック入力部C4にクロック信号CLK2がそれぞれ入力され、出力部Q4は前記の第2のNAND7に接続され、入力クロック信号CLK2の立ち下がりエッジに同期して前記と同様にデータを出力する。第2のNAND7は、第3のDFF5及び第4のDFF6からのデータとクロック信号CLK2が入力され、出力側は前記のNAND8に接続されている。そのNAND8の出力は選択クロック出力部SEL-CLKに接続されている。なお、第1及び第2のDFF1、2と第1のNAND3とで、また第3及び第4のDFF5、6と第2のNAND7とで本発明のクロック出力制御回路がそれぞれ構成され、NAND8は本発明のゲート回路に相当するものである。

【0012】次に、図2のタイミングチャートに基づいて動作を説明する。まず、選択信号SELがロウレベルからハイレベルに切り替わったとき、即ちクロック信号CLK2からクロック信号CLK1に切り替わるときの動作を説明する。T0のタイミングで選択信号SELがロウレベルからハイレベルに切り替わると、第2のDFF2はデータをクロック信号CLK1の最初の立ち下がりエッジに同期してロウレベルからハイレベルに切り替え、第1のDFF1はクロック信号CLK1の最初の立ち上がりエッジに同期してロウレベルからハイレベルに切り替えて、それぞれ出力部Q2、Q1から第1のNAND3へ出力する。またこのとき、インバータ4は選択信号のレベルをロウレベルに反転し、第4のDFF6はデータをクロック信号CLK2の最初の立ち下がりエッジに同期してハイレベルからロウレベルに切り替え、第3のDFF5はクロック信号CLK2の最初の立ち上がりエッジに同期してハイレベルからロウレベルに切り替えて、それぞれ出力部Q4、Q3から第2のNAND7へ出力する。

【0013】一方、第2のNAND7は、第3のDFF5の出力部Q3及び第4のDFF6の出力部Q4がそれぞれハイレベルの間はイネイブル状態で、クロック信号CLK2の逆相クロックを出力していたが（図2のc参

4

照）、前述のように出力部Q3、Q4がロウレベルに切り替わったときはディセイブル状態になって出力をハイレベルに固定する（図2のT1タイミング参照）。また、第1のNAND3は、第1のDFF1の出力部Q1及び第2のDFF2の出力部Q2がそれぞれロウレベルの間はディセイブル状態で、出力をハイレベルに固定していたが（図2のb参照）、前述のように出力部Q1、Q2がハイレベルに切り替わったときはイネイブル状態になり、クロック信号CLK1の逆相クロックをNAND8に出力する（図2のT2タイミング参照）。このとき、NAND8は、T1タイミングまではクロック信号CLK2を選択クロック出力部SEL-CLKに出力していたが、そのタイミング時にクロック信号CLK2のレベルをロウレベルにしてT2タイミングまで継続し、その以降はクロック信号CLK1に切り替えて選択クロック出力部SEL-CLKに出力する。

【0014】そして、T3のタイミングで選択信号SELがハイレベルからロウレベルに切り替わると、第2のDFF2はデータをクロック信号CLK1の最初の立ち下がりエッジに同期してハイレベルからロウレベルに切り替え、第1のDFF1はクロック信号CLK1の最初の立ち上がりエッジに同期してハイレベルからロウレベルに切り替えて、それぞれ出力部Q2、Q1から第1のNAND3へ出力する。またこのとき、インバータ4は選択信号のレベルをハイレベルに反転し、第4のDFF6はそれに伴ってデータをクロック信号CLK2の最初の立ち下がりエッジに同期してロウレベルからハイレベルに切り替え、第3のDFF5はデータをクロック信号CLK2の最初の立ち上がりエッジに同期してロウレベルからハイレベルに切り替えて、それぞれ出力部Q4、Q3から第2のNAND7へ出力する。

【0015】一方、第1のNAND3は、第1のDFF1の出力部Q1及び第2のDFF2の出力部Q2がそれぞれハイレベルの間はイネイブル状態で、クロック信号CLK1の逆相クロックをNAND8に出力していたが（図2のb参照）、前述のように出力部Q1、Q2がロウレベルに切り替わったときはディセイブル状態になり、出力をハイレベルに固定する（図2のT4タイミング参照）。また、第2のNAND7は、第3のDFF5の出力部Q3及び第4のDFF6の出力部Q4がそれぞれロウレベルの間はディセイブル状態で、出力をハイレベルに固定していたが（図2のc参照）、前述のように出力部Q3、Q4がハイレベルに切り替わったときはイネイブル状態になってクロック信号CLK2の逆相クロックをNAND8に出力する（図2のT5タイミング参照）。このとき、NAND8は、T4タイミングまではクロック信号CLK1を選択クロック出力部SEL-CLKに出力していたが、そのタイミング時にクロック信号CLK1をロウレベルにしてT5タイミングまで継続し、その以降はクロック信号CLK2に切り替えて選択クロック出力部SEL-CLK

【0016】本実施例では、選択信号SEL を第1のD—FF 1によりクロック信号CLK1の立ち上がりエッジにて同期させ、第2のD—FF 2によりクロック信号CLK1の立ち下がりエッジで同期させ、また、レベルの反転した選択信号 a を第3のD—FF 5によりクロック信号CLK2の立ち上がりエッジで同期させ、第4のD—FF 6によりクロック信号CLK2の立ち下がりエッジで同期させるようにしたので、選択信号SEL が切り替わってもそれまで選択されていたクロック信号が直ちにリセットされることなく次の立ち上がり、または立ち下がりまでは出力されるのでクロック信号の波形が欠けることなく、即ち、ひげ（グリッジ）を発生することなく新クロック信号に容易に切り替えることができるという効果が得られている。

【0017】なお、前記の実施例では、周波数が同一で非同期的なクロック信号を選択するときの動作について説明したが、図3のタイミングチャートに示すように非同期で周波数の異なるクロック信号CLK1、CLK2を選択信号SELにより選択してもひげが発生することなく切り替えられるという効果も得られている。また、第1から第nのクロック信号がある場合の例えばデコーダを付加したクロック信号切替回路への展開も、回路構成を複雑にすることなく容易に可能である（図4参照）。

【発明の効果】以上のように本発明によれば、選択信号のレベルが切り替わったとき、入力クロック信号の立ち上がり及び立ち下がりエッジにそれぞれ同期して選択信

Figure 1 is a logic diagram of a 2-bit counter. It consists of two D-type flip-flops (D1, D2) and two D-type flip-flops (D3, D4). The inputs are SEL, CLK1, and CLK2. The outputs are a, b, and c. The logic is as follows:

- SEL is connected to the D input of D1 and the D input of D3.
- CLK1 is connected to the clock input of D1 and the clock input of D3.
- CLK2 is connected to the clock input of D2 and the clock input of D4.
- The output of D1 (Q1) is connected to the D input of D2.
- The output of D2 (Q2) is connected to the D input of D4.
- The output of D3 (Q3) is connected to the D input of D4.
- The output of D4 (Q4) is connected to the D input of D1.
- The output of D1 (Q1) is connected to the output 'a'.
- The output of D2 (Q2) is connected to the output 'b'.
- The output of D3 (Q3) is connected to the output 'c'.
- The output of D4 (Q4) is connected to the output 'a'.

6

号のレベルに応じた第1及び第2データをそれぞれ生成するようにしたので、選択信号が切り替わってもこれまで選択されていた旧クロック信号が直ちにリセットされることなく次の立ち上がり、または立ち下がりまでは出力されるので旧クロック信号の波形が欠けてひげ（グリッジ）を発生するということがなくなり、しかも新クロック信号に容易に切り替えることができるという効果が得られている。

【図 1】 本発明の一実施例を示す回路図である。

【図 2】実施例の回路動作を説明するためのタイミングチャートである。

【図3】非同期で周波数の異なるクロック信号を選択したときのタイミングチャートである。

【図 4】本実施例のクロック信号切替回路の応用例を示す回路図である。

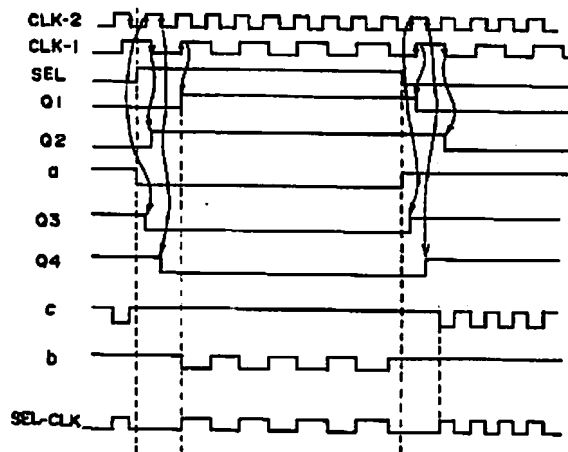
【図5】従来のクロック信号切替回路を用いて周波数が同一で非同期なクロック信号を選択したときのタイミングチャートである。

【符号の説明】

- 1 第1のD-F F
- 2 第2のD-F F
- 3 第1の3入力NAND
- 4 インバータ
- 5 第3のD-F F
- 6 第4のD-F F
- 7 第2の3入力NAND
- 8 2入力NAND

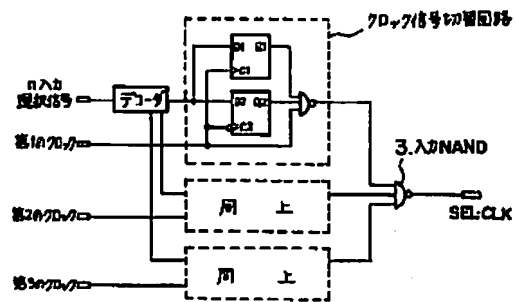
### タイミングチャート

【図3】



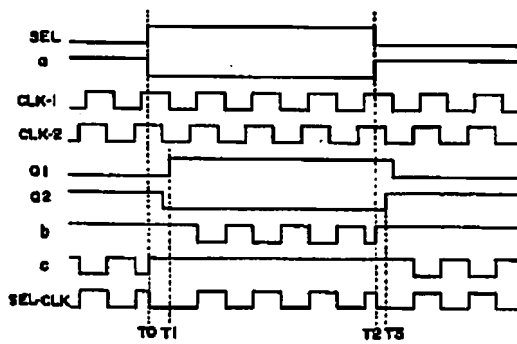
非同期で周波数の異なるクロック信号を選択したときのタイミングチャート

【図4】



クロック信号切替回路の応用例を示す回路図

【図5】



従来のタイミングチャート